

TW 275717

Abstract:

The present invention relates to a semiconductor device for detected light or radiated light and a manufacturing method thereof. The present invention provides a semiconductor device which receives detected light or radiated light and converts it to electrical signals at a high operating speed and low power consumption.

The present invention uses a PMOS transistor having a substrate back bias as a detection element and further provides the PMOS transistor in an N-well which has a concentration higher than that of an N^- type substrate. Furthermore, a depletion layer forming P^+ type substrate is provided on the same surface of the substrate where the PMOS transistor is formed.

(11)公告編號：275717

(44)中華民國85年(1996)05月11日

發明

全 24 頁

(51)Int. Cl.⁵: H01L31/04

(54)名稱：檢測光或放射線之半導體裝置及其製造方法

(21)申請案號：84104931

(22)申請日期：中華民國84年(1995)05月18日

(72)發明人：

齊藤豊
井上昌宏
山中順子
池田博一

日本
日本
日本
日本

(71)申請人：

精工電子工業股份有限公司

日本

(74)代理人：林敏生 先生 林志剛 先生

PP03-0383 -OOTW-HP
'08.12.26
ALLOWED

1

2

[57]申請專利範圍：

1. 一種檢測光或放射線的檢出半導體裝置，其特徵為：至少備有：將MOS電晶體與形成延伸至前述MOS電晶體的基板區域的空乏層之空乏層形成手段以所定的間隔設置因而形成在同一半導體基板之半導體元件、及在前述空乏層形成手段加入反向偏壓電壓的手段，
起因於入射至前述空乏層的檢測光或放射線因而檢出所產生的MOS電晶體的基板區域之電位變化作為前述電晶體的輸出。
2. 如申請專利範圍第1項的檢測光或放射線之檢出半導體裝置，其中前述MOS電晶體，與前述半導體基板同一導電型下被形成在比該半導體基板高不純物濃度的第3不純物區域內。
3. 如申請專利範圍第1或2項的檢測光或放射線之檢出半導體裝置，其中前述空乏層形成手段是以PN接合而被形成。
4. 如申請專利範圍第3項的檢測光或放射線之檢出半導體裝置，其中前述PN接合，被形成在與形成有前述MOS電晶體的前述半導體基板同一面上。
5. 如申請專利範圍第3項的檢測光或放射線之檢出半導體裝置，其中前述PN接合，被形成在與形成有前述MOS電晶體的前述半導體基板反面側的面。
6. 如申請專利範圍第1或2項的檢測光或放射線之檢出半導體裝置，其中前述空乏層形成手段是以MOS二極體而被形成。
7. 如申請專利範圍第6項的檢測光或放射線的檢出半導體裝置，其中前述MOS二極體，被形成在與形成有MOS電晶體的前述半導體基板同一面上。
8. 如申請專利範圍第6項的檢測光或放射線的檢出半導體裝置，其中前述

MOS二極體，被形成在與形成有MOS電晶體的前述半導體基板反面側的面。

9. 如申請專利範圍第1或2項的檢測光或放射線之檢出半導體裝置，其中前述MOS電晶體以源極區域為中心被配置成同心圓狀，並且將該外圍包圍有PN接合區域。
10. 如申請專利範圍第1或2項的檢測光或放射線之檢出半導體裝置，其中以前述MOS二極體為中心在其外周構成前述MOS電晶體的各電極被包圍配置成同心圓狀。
11. 如申請專利範圍第1或2項的檢測光或放射線之檢出半導體裝置，其中前述半導體基板，介隔絕緣膜被設置在支撐基板上。
12. 如申請專利範圍第1或2項的任何個檢出半導體裝置，都以複數個被配列在同一半導體基板。
13. 如申請專利範圍第1或2項的檢測光或放射線之檢出半導體裝置、及信號處理電路為被形成在同一半導體基板內。
14. 一種檢測光或放射線之檢出半導體裝置的製造方法，其特徵為具有：
至少在第1導電型的第1半導體基板上形成第2導電型不純物區域之過程、及氧化與擴散之過程、及臨接在被形成有前述第2導電型不純物區域的面而接著第2基板之過程、及將第1半導體基板研磨成所定厚度之過程、及在以前述過程所被研究的面形成MOS電晶體之過程、及去除前述第2基板之過程、及形成電極至前述第2導電型不純物區域。
15. 如申請專利範圍第14項的檢測光或放射線之檢出半導體裝置的製造方法，其中形成前述第2導電型不純物區域之過程至少使用 BF_2 或是 BF_3 的離子種

，以40keV至80keV的加速能量進行 $5 \times 10^{14}/\text{cm}^2$ 的摻雜量離子注入。

16. 一種檢測光或放射線之檢出半導體裝置的製造方法，其特徵為具有：
5. 至少在第1導電型的第1半導體基板介隔絕緣膜而接著第2基板之過程、及將第1半導體基板研磨成所定厚度之過程、及在被研磨的第1半導體基板的面形成MOS之過程、及去除前述第2基板之過程、及在所述第1半導體基板的面形成空乏層形成用MOS二極體的電極之過程。
10. 一種檢測光或放射線之電子機器，係搭載：兼具設有上述通過微分量增幅功能電路之上述信號處理電路之如申請專利範圍第16項之檢測用半導體裝置者。
15. 圖示簡單說明：
第1圖係表示本發明第1實施例之斷面圖；
第2圖係表示本發明第1實施例的PMOS電晶體之平面圖；
第3圖係表示本發明PMOS電晶體的動作原理之電路圖；
第4圖係說明本發明PMOS電晶體的動作圖；
第5圖係表示本發明PMOS電晶體的容量與電阻成分之電路圖；
第6圖係表示本發明PMOS電晶體的物理量參數表；
第7圖係表示本發明PMOS電晶體PIXEL的電氣特性參數表；
第8圖係表示本發明PMOS電晶體PIXEL的荷電粒子檢出要件之電路特性參數表；
第9圖係2次元的配列本發明第1實施例之平面圖；
第10圖係2次元的配列本發明第1實施例之斷面圖；
第11圖係表示本發明第2實施例之斷
20. 圖；
25. 第4圖係說明本發明PMOS電晶體的動作圖；
30. 第7圖係表示本發明PMOS電晶體PIXEL的電氣特性參數表；
35. 第8圖係表示本發明PMOS電晶體PIXEL的荷電粒子檢出要件之電路特性參數表；
40. 第11圖係表示本發明第2實施例之斷

面圖；

第12圖係表示本發明第2實施例之平面圖；

第13圖係表示本發明讀出電路的1例之電路圖；

第14圖係表示本發明第3實施例之斷面圖；

第15圖係表示本發明半導體裝置的摻雜量與比電阻之圖；

第16圖係表示本發明偏壓電壓與空乏層的厚度之圖；

第17圖係表示本發明製造過程的之例之斷面圖；

第18圖係表示本發明第4實施例的半導體裝置之斷面圖；

第19圖係表示本發明第5實施例的半導體裝置之斷面圖；

第20圖係表示過去的荷電粒子檢出用半導體裝置圖；

第21圖係說明過去荷電粒子檢出用半導體裝置的動作之電路圖；

第22圖係表示本發明第1實施例的第1變形例之平面圖；

第23圖係表示本發明第1實施例的第1變形例之平面圖；

第24圖係表示本發明第1實施例的第2變形例之平面圖；

第25圖係表示本發明第1實施例的第3變形例之平面圖；

第26圖係表示本發明的變形例之斷面圖；

第27圖係表示本發明第1實施例的第5變形例之斷面圖；

第28圖係表示2次元的配列本發明第1實施例的第4變形例的檢出部(PMOS PIXEL)例之斷面圖；

第29圖係表示本發明第2實施例的第1變形例之斷面圖；

第30圖係表示本發明第2實施例的第2變形例之斷面圖；

第31圖係為在於本發明第2實施例的第2變形例將信號處理電路形成在同一基板內之半導體裝置，表示檢出部之部分斷面圖；

第32圖係為在於本發明第2實施例的第2變形例將信號處理電路形成在同一基板內，表示信號處理電路部之部分斷面圖；

第33圖係關於本發明第2實施例的第2變形例的一例之平面圖；

第34圖係表示本發明第2實施例的讀出電路的一例之方塊圖；

第35圖係表示本發明第2實施例的第2應用例其半導體裝置的基極條狀傳送的情況的電路之系統方塊圖；

第36圖係表示本發明第2實施例的第2應用例其半導體裝置的載體方式傳送的情況的回路之系統方塊圖；

第37圖係將本發明第2實施例的第2應用例其半導體裝置的偏壓控制電路部以雙極的構造為例之方塊圖；

第38圖係將本發明第2實施例的第2應用例其半導體裝置的偏壓控制電路部以MOS構造例之方塊圖；

第39圖係將本發明第2實施例的第2應用例其半導體裝置的偏壓控制電路部以MOS構造為例，將受光部以隨從器結線的情況之方塊圖；

第40圖係在於本發明第2實施例的第2應用例其半導體裝置的電源控制電路部使用N-基板的情況之方塊圖；

第41圖係在本發明第2實施例的第2應用例其半導體裝置之電源控制電路部使用P-基板的情況之方塊圖；

第42圖係表示對於本發明的入射光量之出力特性圖。

Diagram illustrating a semiconductor device structure (FIG. 10) with various components labeled:

- 10201 閘極電極 (Al)
- 10208 閘極電極 (Poly Si)
- 10204 閘極長度
- 10205 源極區域
- 10206 閘極寬度
- 10207 源極電極
- 10203 排極電極
- 10202 N⁻孔洞區域

第六圖

4/16

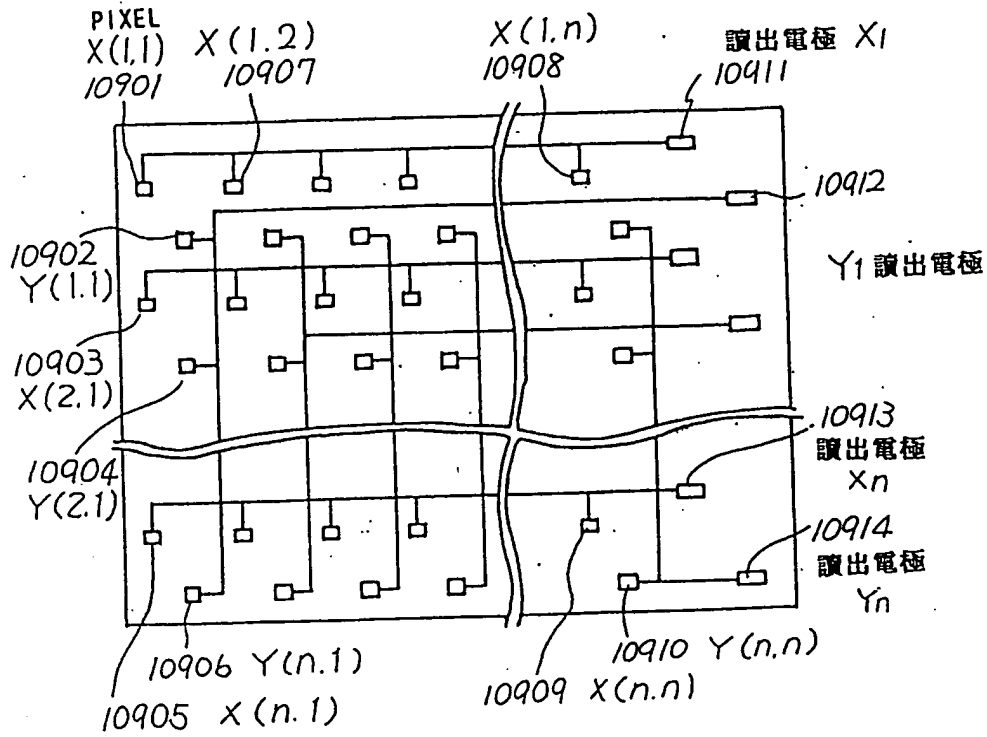
第七圖

物理量參數	本實施例值
d (空乏層厚度)	300 μm
Δd (PIXEL尺寸)	200 \times 200 μm
N_A (源極不純物濃度)	$5 \times 10^{19} \text{cm}^{-3}$
N_D (N^- 孔洞不純物濃度)	$1 \times 10^{16} \text{cm}^{-3}$
W/L (PMOS電晶體)	4 \times 4 μm
A_s (源極區域尺寸)	4 \times 4 μm
t_o (PMOS電晶體閘極絕緣膜厚)	540nm
μ_s (載體移動度)	120 cm^2/Vsec
W_{WELL} (N^- 孔洞區域)	100 \times 100 μm

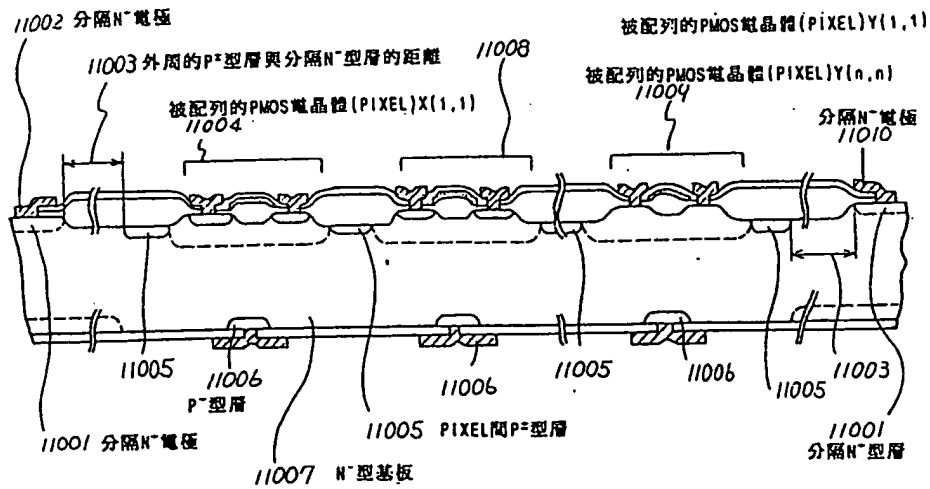
電氣特性參數	本實施例值
$CD = A_d C_d$	14.0 fF
$CG = W L C_{ox}$	1.02 fF
$CJ = A J C_{jo}$	4.85 fF
$CS = W L C_{ss}$	5.56 fF
$C_o = CD + CJ + CS$	24.4 fF
C_{ox}	63.9 fF/ μm^2
V_{bi}	0.92V
ϕ_{Fn}	-0.35V
L_o	41.3 nM
V_{ib}	-8.27V
V_{cs}	-9.0V
g_m	0.56 μS
g_{ss}	3.03 μS
$I_d(\text{DC})$	200 nA
I_L	1 pA/PIXEL

第八圖

電路特性參數	本實施例值
R_o (N^- 孔洞偏壓電阻)	10G Ω (typ)
$\tau = R_o C_o$ (總時間常數)	250 μsec
τ_s (讀出增幅器 上升時間)	1 μsec
τ_s (樣本周期)	1 μsec
t_o (微分時間常數)	150 μsec
g_m (前置增幅)	1.5 mS
I_L (漏電流)	1 pA/PIXEL
N_p (PIXEL個數)	25b
R_o	1M Ω
C_o	0.15 pF
電化增幅率	18.6
非直線性總和	11.2%
雜訊電流等價量	388
V_{ds}	-5V
V_s	0V
V_{WELL}	0V
V_{bi}	-80V

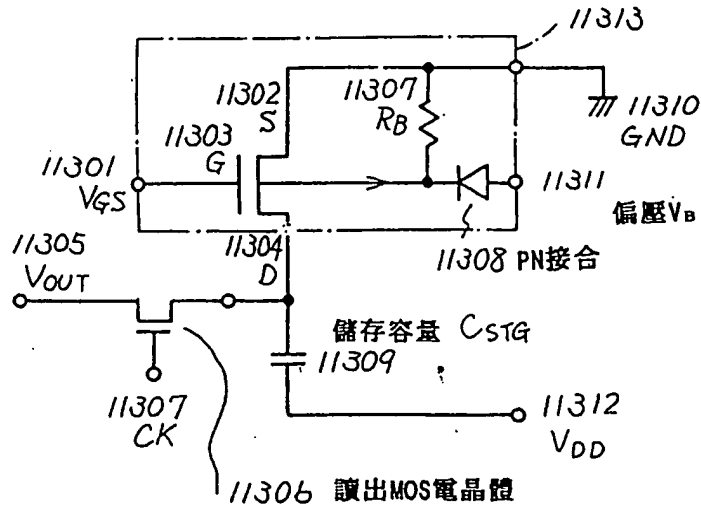


第九圖

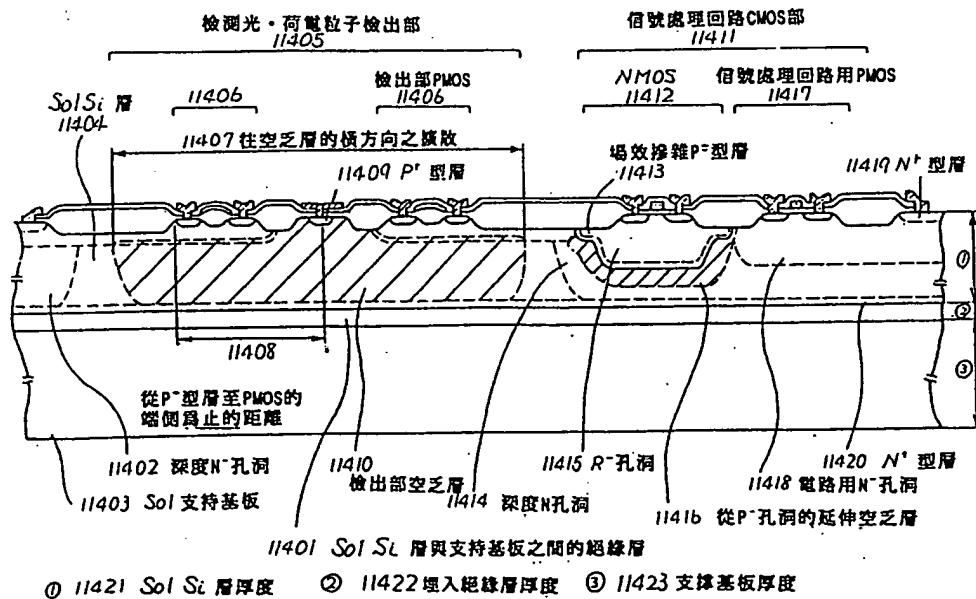


第十圖

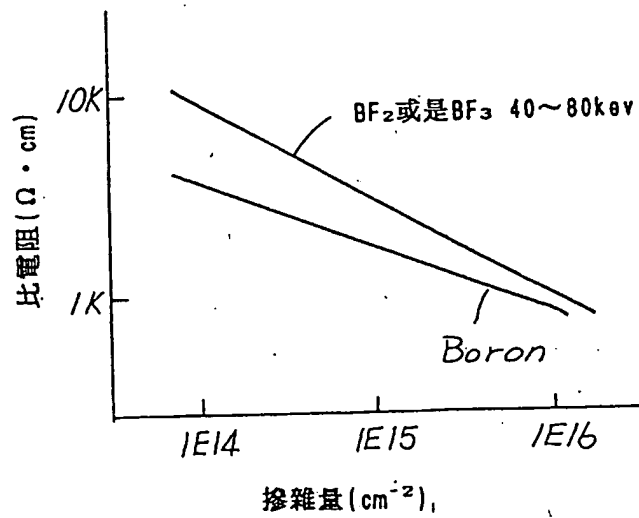
第十三圖



第十四圖

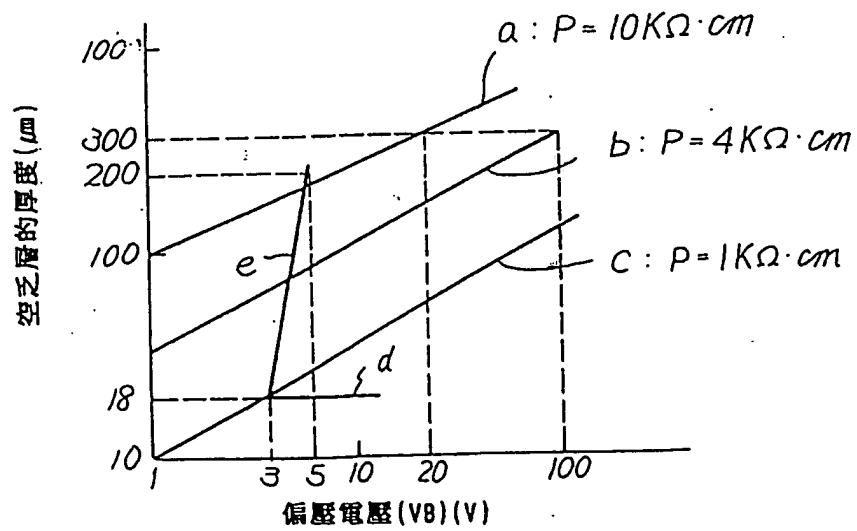


第十五圖

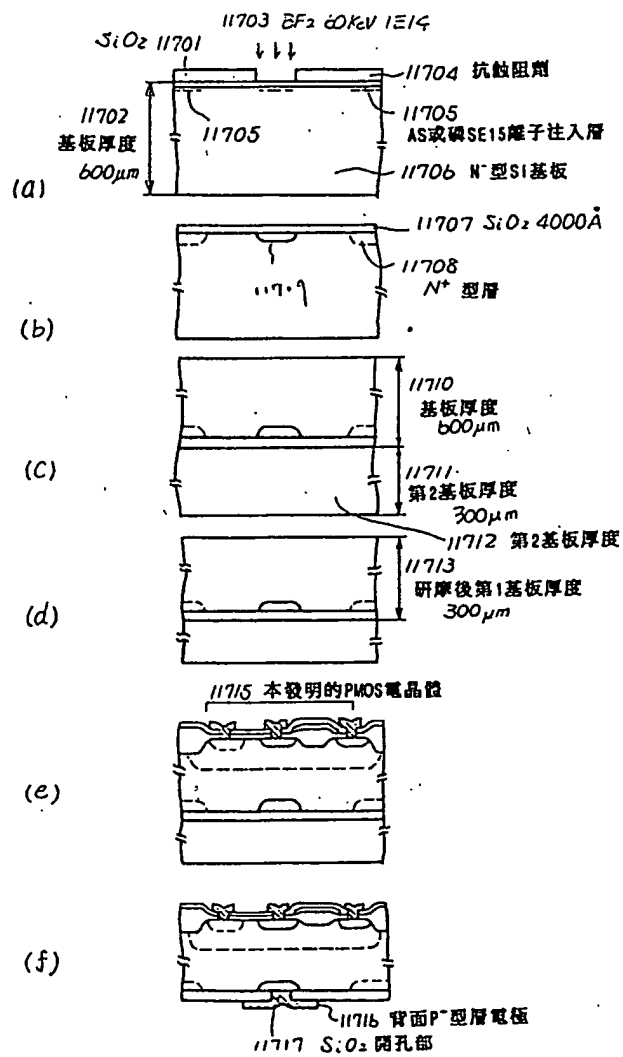


第十六圖

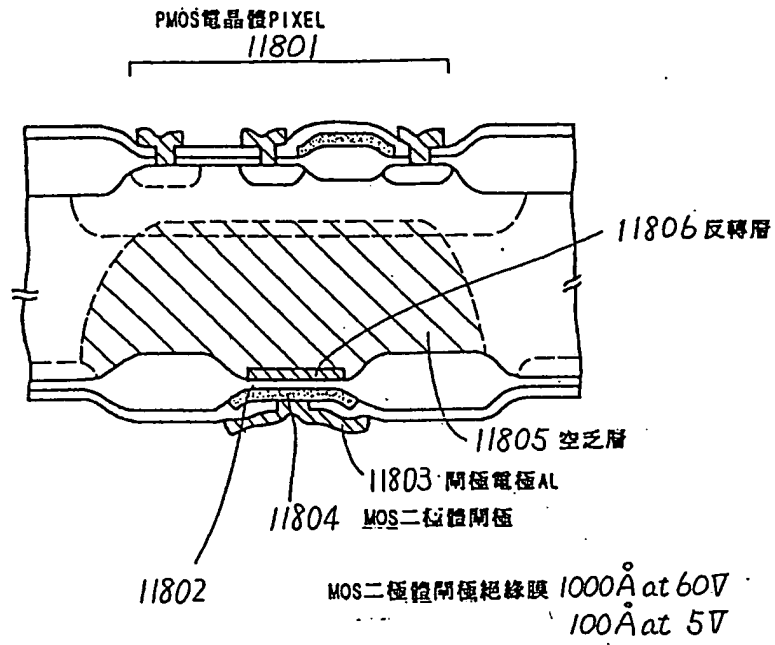
d : 本實施例基部深度方向
e : 本實施例橫方向



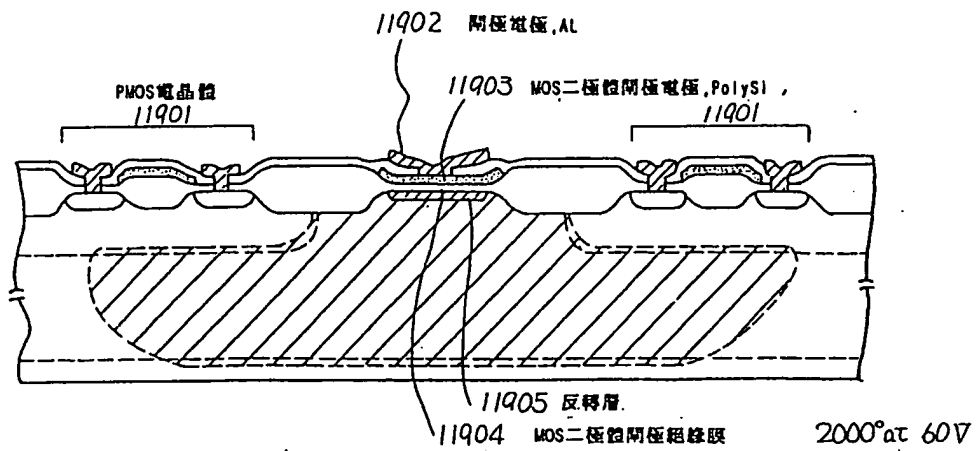
第十七圖



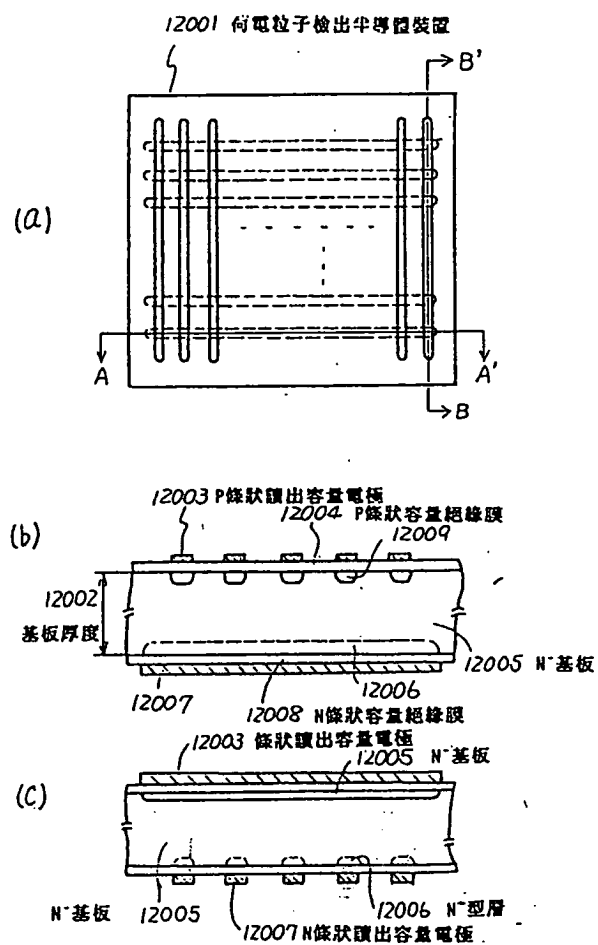
第十八圖



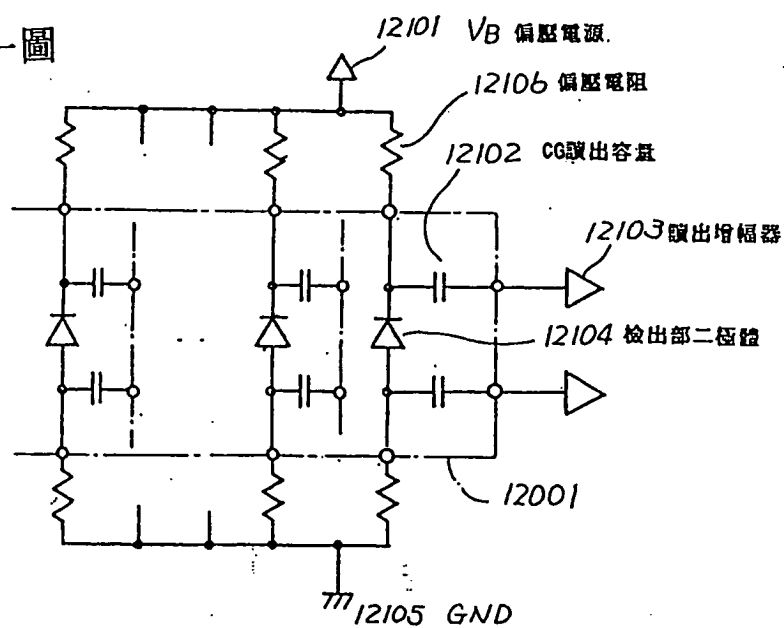
第十九圖



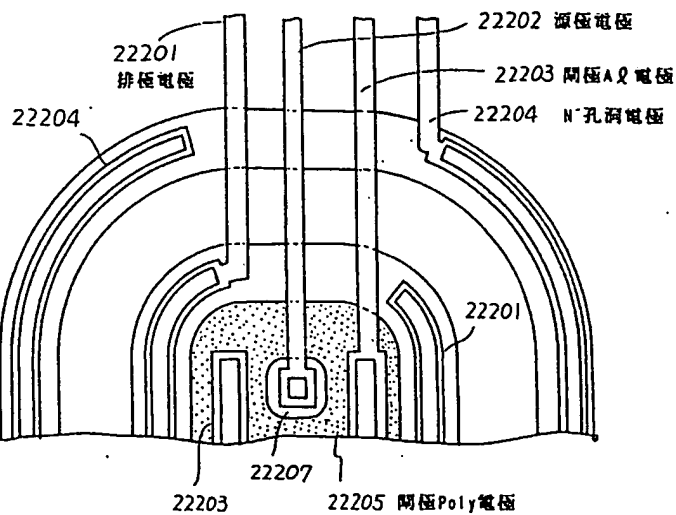
第二十圖



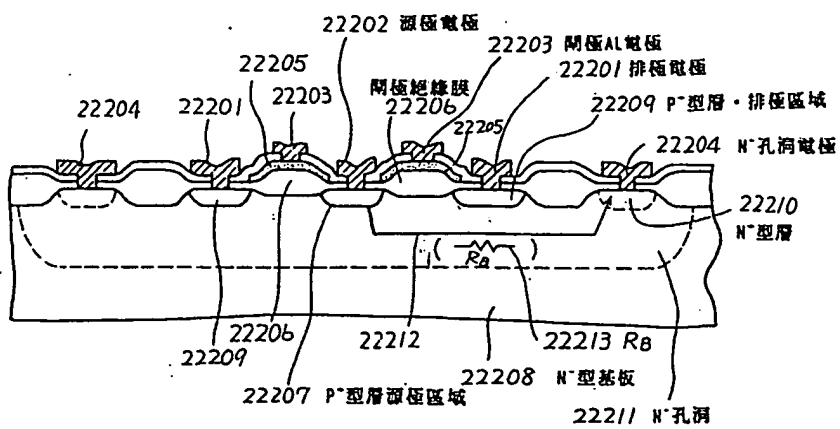
第二十一圖



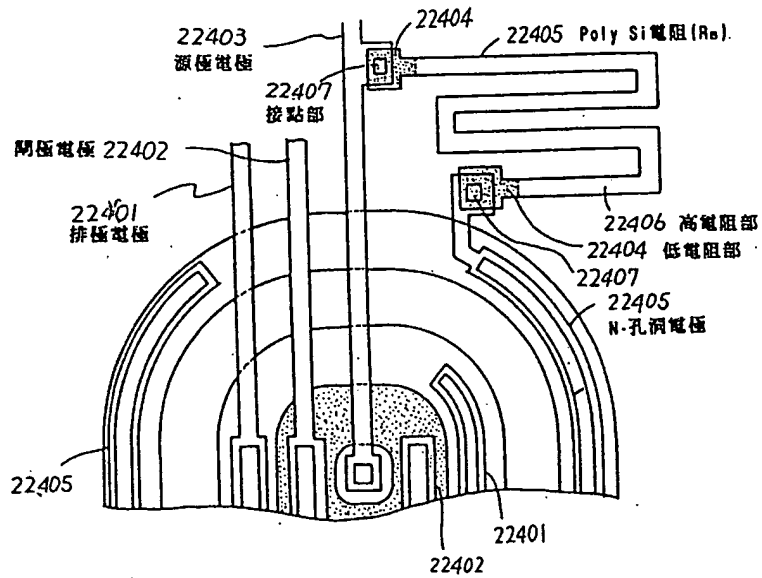
第二十二圖



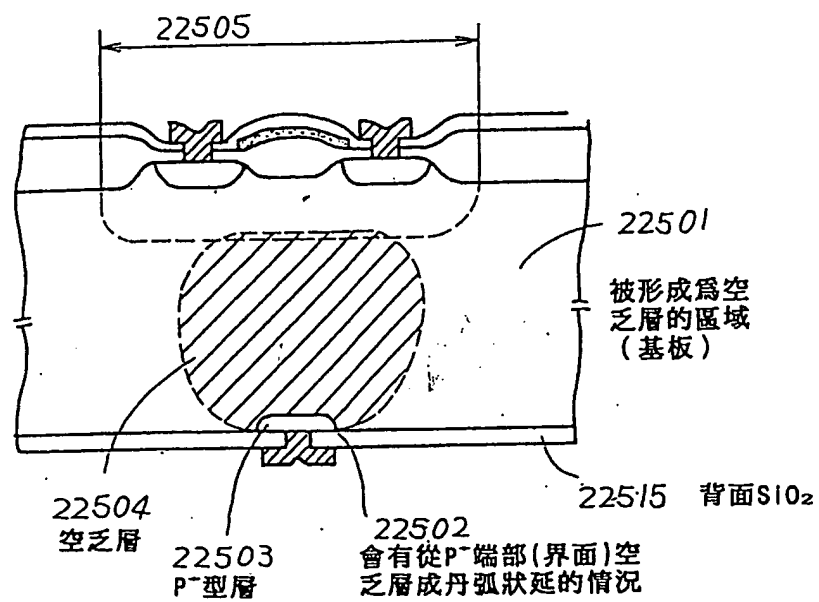
第二十三圖



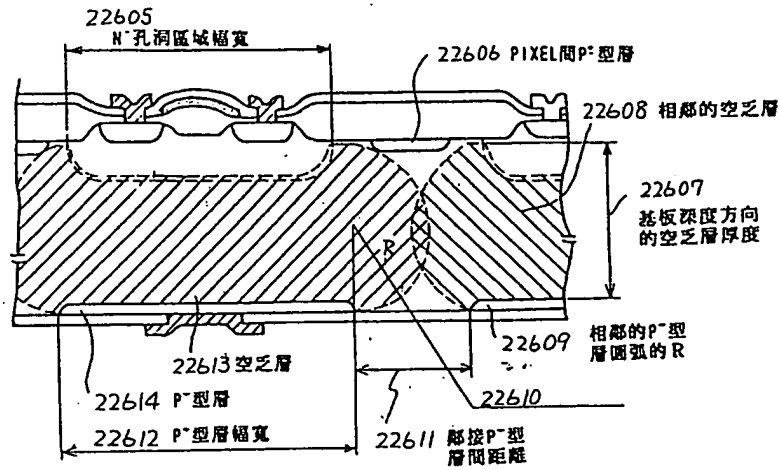
第二十四圖



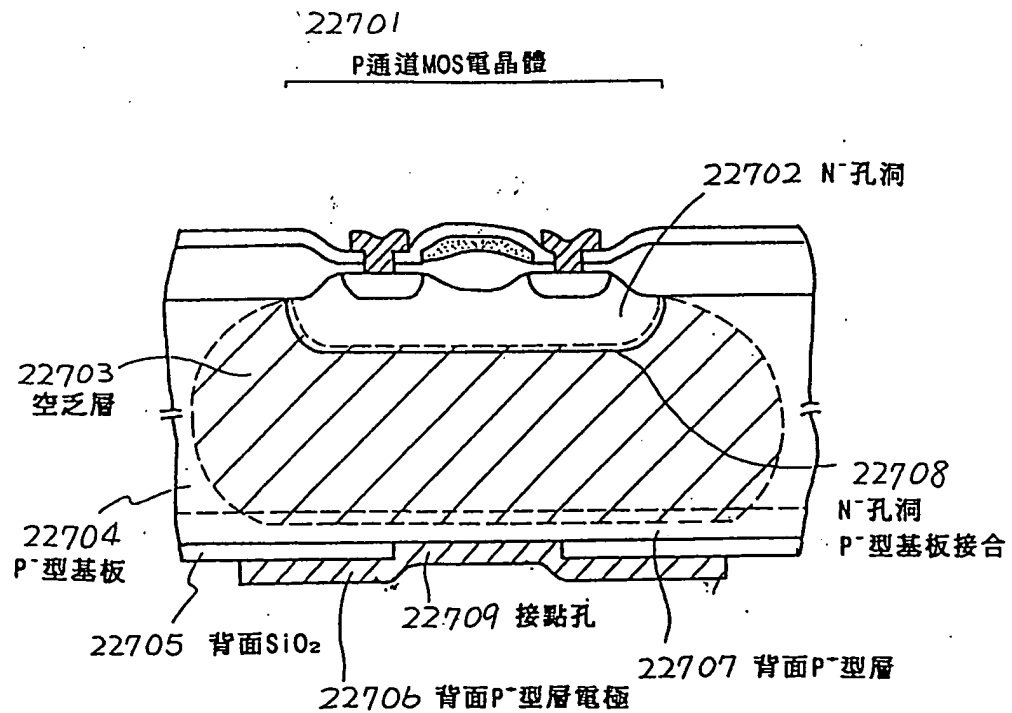
第二十五圖



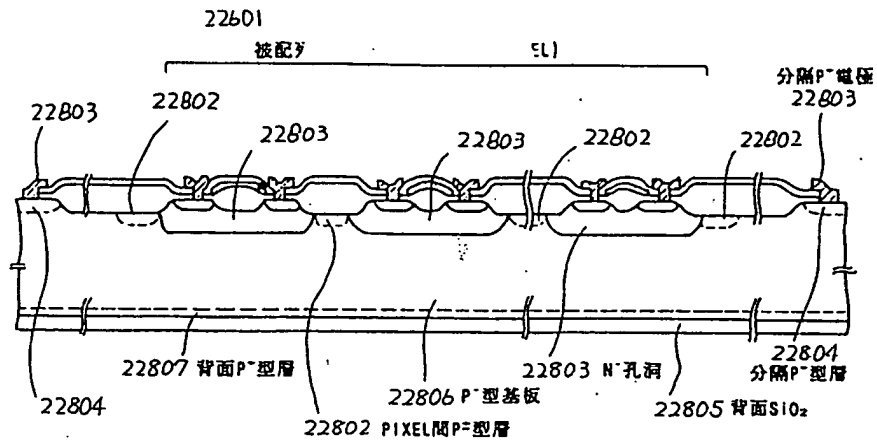
第二十六圖



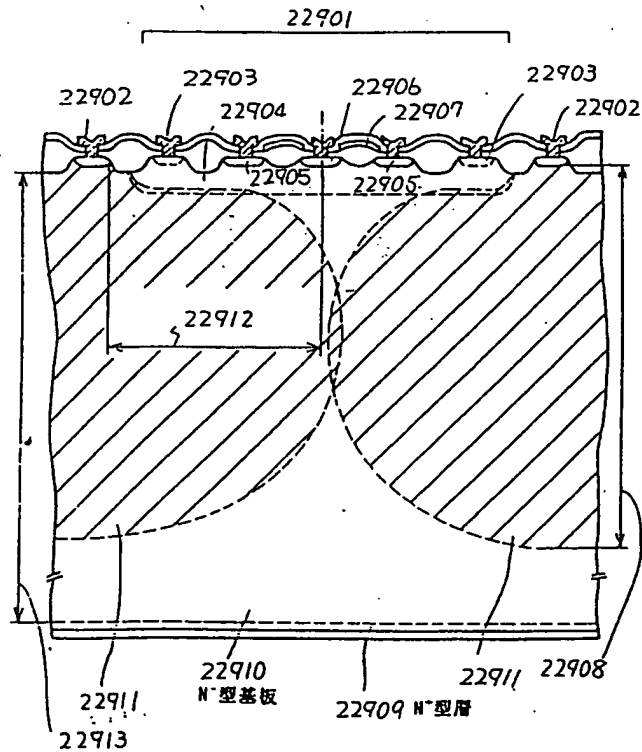
第二十七圖

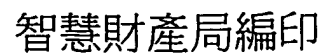
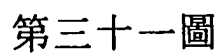


第二十八圖

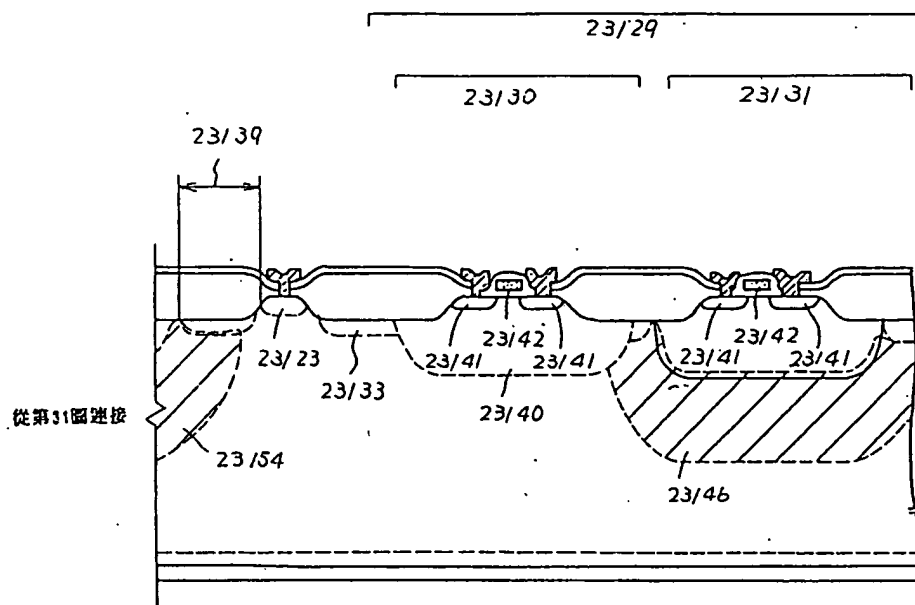


第二十九圖

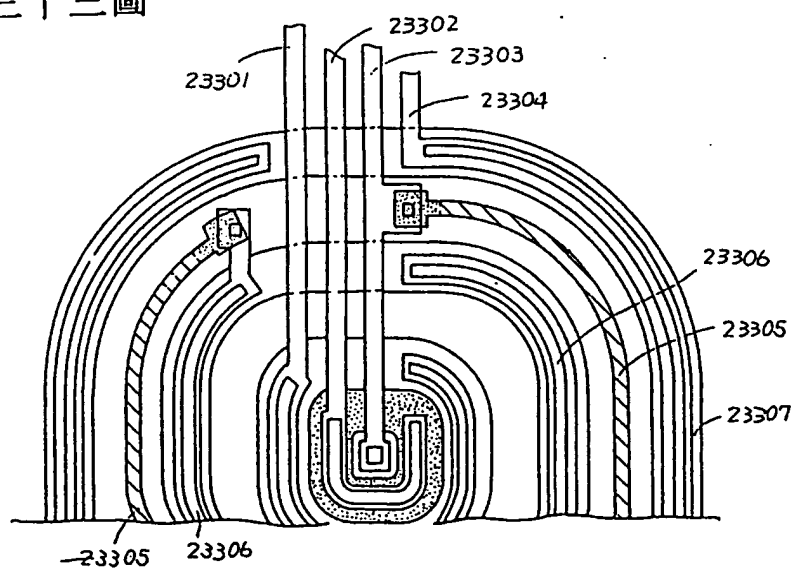




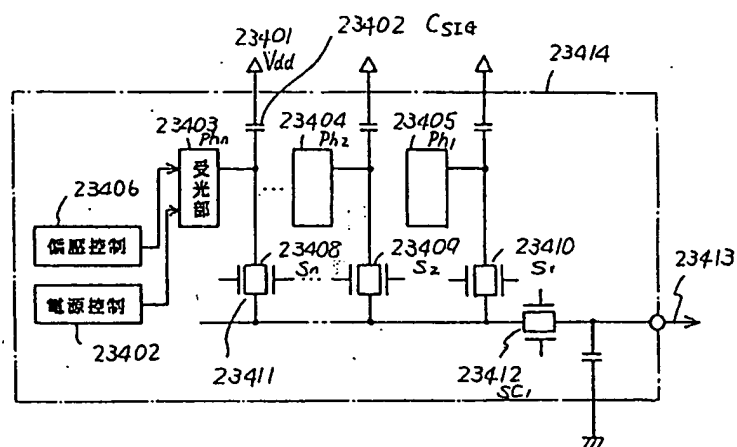
第三十二圖



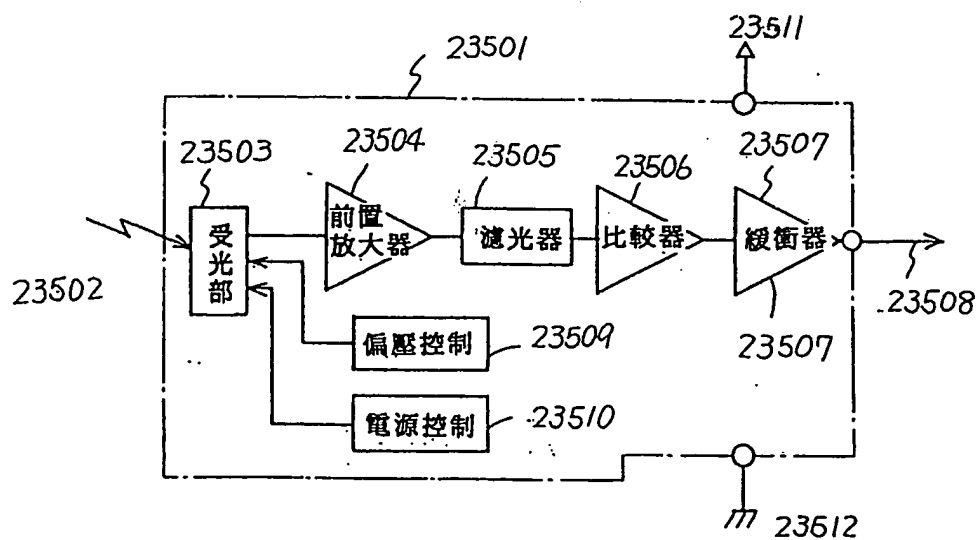
第三十三圖

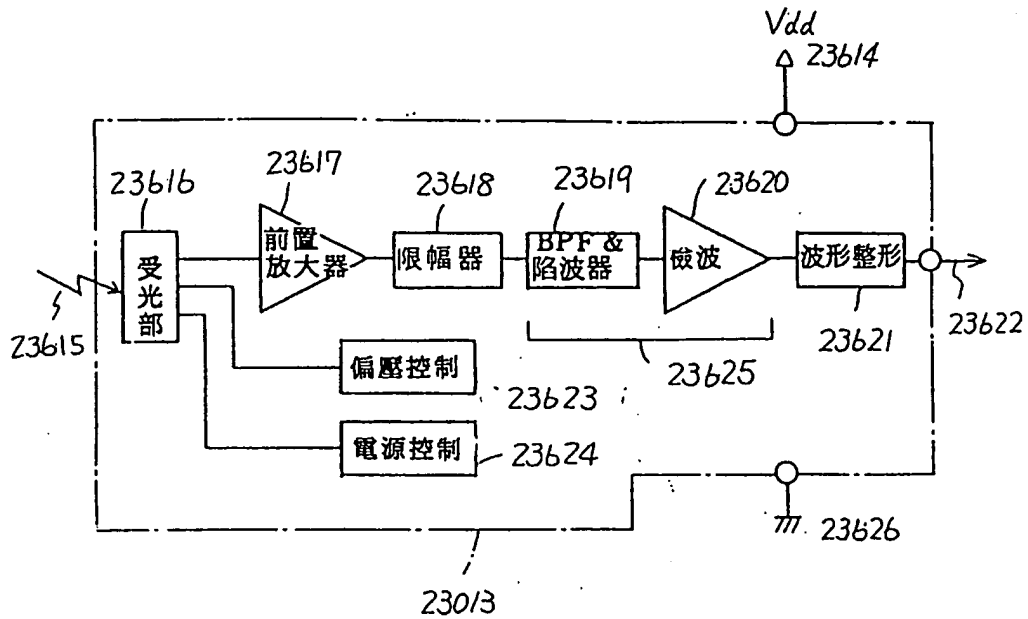


第三十四圖

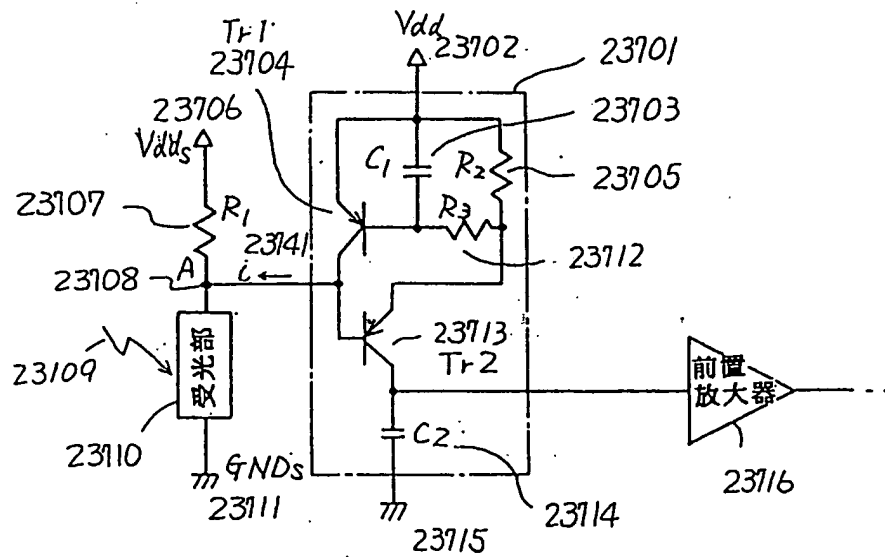


第三十五圖

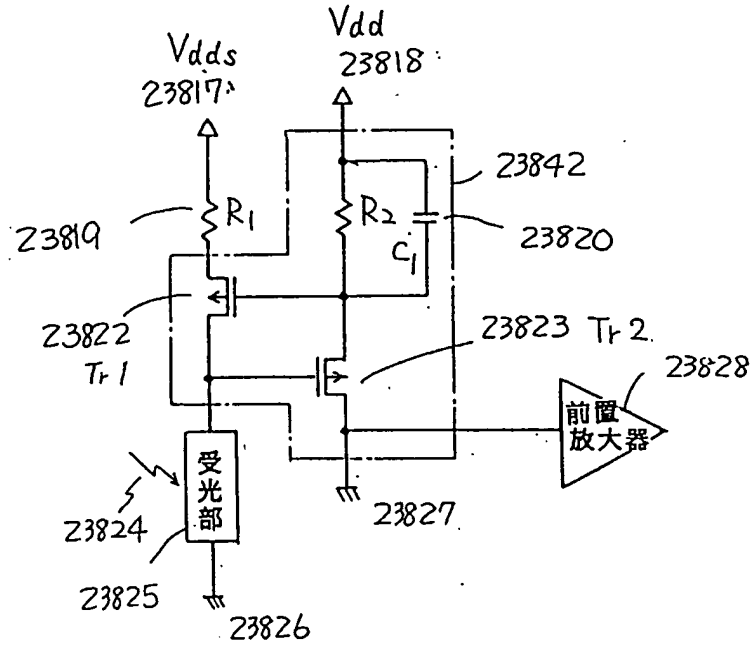




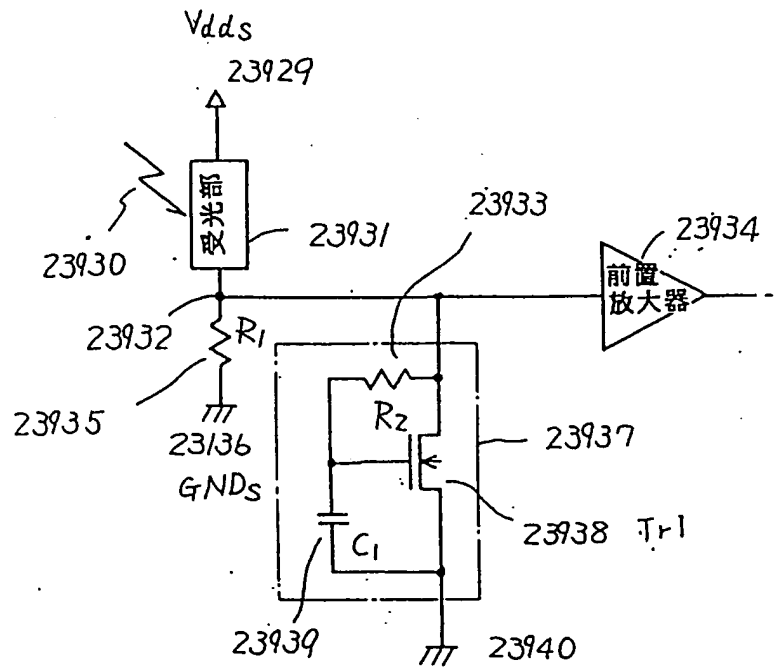
第三十六圖



第三十七圖

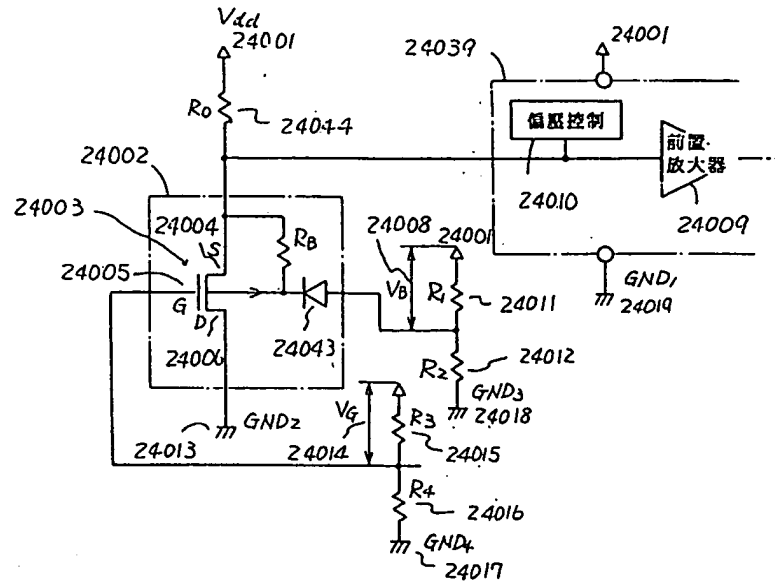


第三十八圖

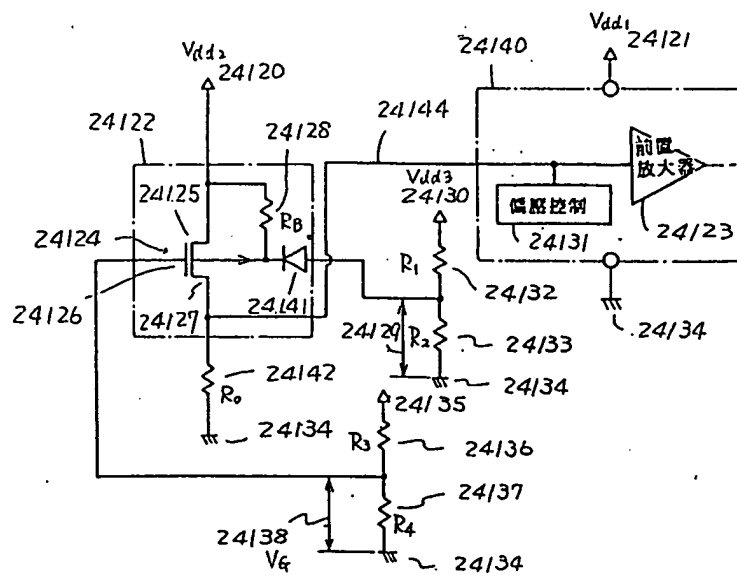


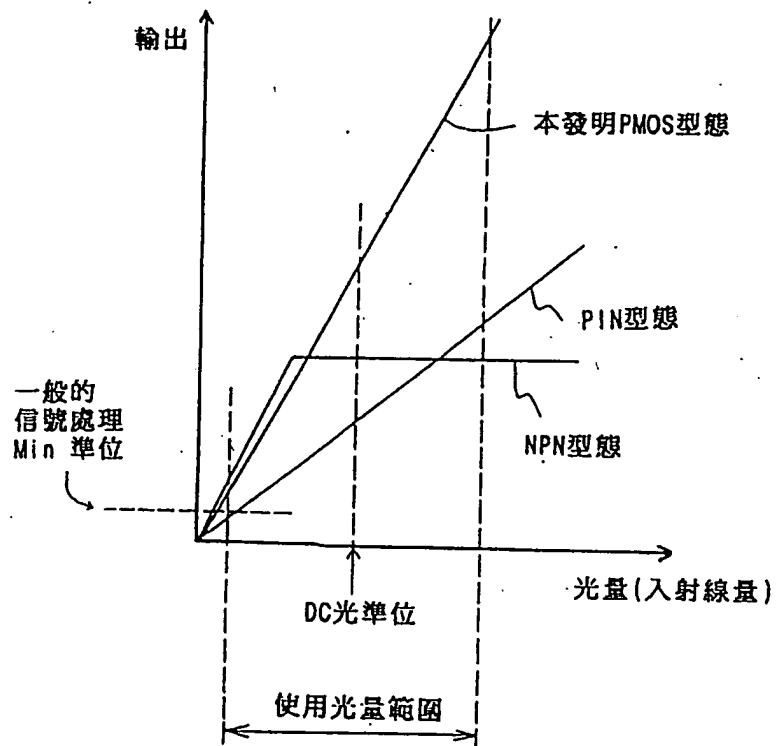
第三十九圖

第四十圖



第四十一圖





第四十二圖